



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 101 42 690 A 1**

⑤① Int. Cl.⁷:
H 01 L 21/8248

⑳ Aktenzeichen: 101 42 690.9
㉔ Anmeldetag: 31. 8. 2001
㉕ Offenlegungstag: 27. 3. 2003

DE 101 42 690 A 1

⑦① Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦④ Vertreter:
Müller-Boré & Partner, Patentanwälte, European
Patent Attorneys, 81671 München

⑦⑦ Erfinder:
Goller, Klaus, 01069 Dresden, DE

⑤⑥ Entgegenhaltungen:
DE 199 58 062 A1
DE 196 50 493 A1
US 58 86 387 A
US 54 55 189 A

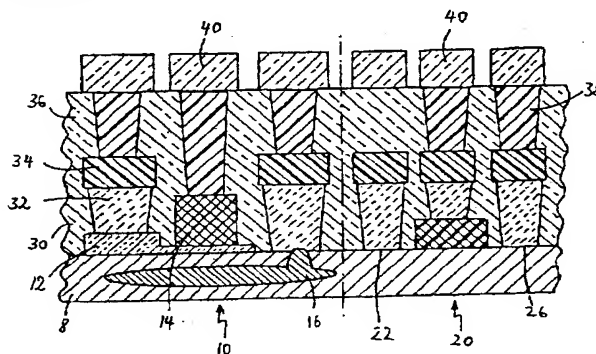
SCHINKE, M.: "Bipolar - HF - Transistor BFP 490 -
Familienzuwachs", in: Components, no. 1, 1998,
S. 12 u. 13;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Kontaktierung des Emittterkontakts einer Halbleitervorrichtung

⑤⑦ Die Erfindung betrifft eine Halbleitervorrichtung mit
- einem Substrat (8), dessen Prozeßoberfläche (8') eine
Substratnormalenrichtung aufweist;
- zumindest einem ersten (12, 16, 22, 24, 26) und einem
zweiten (14) auf dem Substrat angeordneten Kontakt, wo-
bei eine Kontaktfläche des zweiten Kontakts (14) in Sub-
stratnormalenrichtung weiter von dem Substrat (8) als
eine Kontaktfläche des ersten Kontakts (12, 16, 22, 24, 26)
beabstandet ist; und
- zumindest einer ersten (34) und einer zweiten (40) struk-
turierten Metallebene, in welchen jeweils zumindest ein
Leiter ausgebildet ist, der mit zumindest einem der Kon-
takte verbindbar ist;
wobei die zweite Metallebene (40) in Substratnormalen-
richtung weiter von dem Substrat (8) als die erste Metall-
ebene (34) beabstandet ist,
der zweite Kontakt (14) mit einem in Substratnormalen-
richtung darüberliegenden Leiter der zweiten Metallebe-
ne (40) ohne Zwischenschaltung eines Leiters der ersten
Metallebene (34) elektrisch verbunden ist und
der erste Kontakt (12, 16, 22, 24, 26) mit einem in Substrat-
normalenrichtung darüberliegenden Leiter der ersten
Metallebene (34) elektrisch verbunden ist.



DE 101 42 690 A 1

[0001] Die Erfindung betrifft eine Halbleitervorrichtung gemäß Ansprüchen 1 und 10 sowie ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß Ansprüchen 5 und 12.

[0002] In Fig. 16 ist eine herkömmliche Halbleitervorrichtung gezeigt, anhand welcher die Probleme des Standes der Technik, auf die sich die Erfindung bezieht, aufgezeigt werden. Die Halbleitervorrichtung umfaßt einen (vertikalen) Bipolartransistor 10, welcher in bekannter Weise einen Basiskontakt 12, einen Emittterkontakt 14 sowie einen Kollektorkontakt 16 aufweist. Bei dem Bipolartransistor 10 kann es sich um einen npn-Transistor oder um einen pnp-Transistor handeln, welcher beispielsweise Bestandteil eines Hochfrequenzschaltkreises der Halbleitervorrichtung ist. Auf dem gleichen Substrat 8 (beispielsweise ein Siliziumwafer) kann zusätzlich eine CMOS-Schaltung vorgesehen, welche im einfachsten Fall aus einem MOS-Transistor 20 mit einem Sourcekontakt 22, einem Gatekontakt 24 und einem Drainkontakt 26 besteht.

[0003] Charakteristisch für derartige Bipolar-CMOS-Schaltungen ist, daß der Emittterkontakt (der sogenannte Emittterstack) 14 deutlich "höher" als alle übrigen Kontakte über der Prozeßoberfläche 8' des Substrats 8 ausgebildet wird. Die der Prozeßoberfläche 8' des Substrats 8 abgewandte Kontaktfläche des Emittterkontakts 14 weist einen größeren Abstand von der Prozeßoberfläche 8' als Kontaktflächen der übrigen Kontakte 12, 16, 22, 24 bzw. 26 auf. Diese vergleichsweise große Höhe des Emittterkontakts 14 ergibt sich aus notwendigen Prozeßanforderungen eines optimierten Bipolartransistors. Beispielsweise weist ein Bipolartransistor gemäß dem Infineon B9C-Prozeß eine Gesamthöhe des Emittterkontakts 14 über der Prozeßoberfläche 8' von typischerweise 550 nm auf. Demgegenüber ist beispielsweise der Polysilizium-Gatekontakt 24 eines auf dem gleichen Substrat 8 angeordneten MOS-Transistors 20 lediglich typischerweise 280 nm hoch.

[0004] Diese erheblich unterschiedlichen Abstände der Kontaktfläche des Emittterkontaktes 14 zu den übrigen Kontakten führt zu gravierenden prozeßtechnischen Problemen bei der Verbindung dieser Kontakte über Kontaktlöcher 32 mit einer ersten strukturierten Metallebene 34 (der sogenannten Metal-1-Ebene), welche im folgenden beschrieben werden.

[0005] Alle aktiven Bauelemente der Halbleitervorrichtung (d. h. die Bipolar- und CMOS-Transistoren) werden nach dem Prozeßende FEOL (front end of line) typischerweise mit einem Dielektrikum 30, beispielsweise BPSG (Bor-Phosphor-Silikat-Glas), bis zu einer Gesamthöhe von etwa 1400 nm abgedeckt. In Fig. 1 ist eine Halbleitervorrichtung nach dem Abscheideschritt dieser Isolatorschicht 30 (BPSG-Schicht) gezeigt. In diesem Prozeßstadium unterscheidet sich eine erfindungsgemäße Halbleitervorrichtung noch nicht vom Stand der Technik.

[0006] Nachfolgend wird die Isolatorschicht 30 durch einen chemisch-mechanischen Planarisierungsschritt (Schritt: CMP BPSG) bis zu einer spezifizierten Zieldicke planar zurückpoliert. Die nach Beendigung dieses Polierschritts erhaltene Halbleitervorrichtung ist schematisch in Fig. 2 dargestellt.

[0007] Durch den hohen Emittterkontakt 14 ist der planare Polierschritt (Schritt: CMP BPSG) äußerst kritisch. Während bei dem Infineon-C9N-Prozeß, bei welchem es sich um einen CMOS-Logik-Prozeß der neunten Generation mit 0,25 µm-Technologie handelt, dieser planare Polierschritt aufgrund der vergleichsweise geringen Höhe des Gatekontakts 24 (etwa 280 nm über der Substratoberfläche) keine

prozeßtechnische Herausforderung darstellt, würde die unmittelbare Übernahme der Prozeßspezifikation des C9N CMP BPSG-Schritts zu einer empfindlichen Einbuße der Herstellungsausbeute (yield) führen.

[0008] So wird gemäß dem C9N-Prozeß die Isolatorschicht 30 (die BPSG-Schicht) in dem Polierschritt CMP BPSG auf eine Gesamthöhe von 700 nm ± 150 nm zurückpoliert. Gemittelt über den gesamten Wafer ist somit minimal eine BPSG-Schichtdicke von 550 nm über der Substratoberfläche vorhanden, so daß über dem Gatekontakt 24 minimal eine BPSG-Schicht 30 mit einer Höhe von 270 nm verbleibt. Lokal kann die BPSG-Schichtdicke von typischerweise 550 nm infolge ortsabhängiger Belegungsdichten der aktiven Bauelemente unterschritten werden. Somit sind die für einen reinen Logikbasisprozeß gemäß C9N erzielten Schichthöhen der Isolatorschicht 30 unkritisch, so daß sich für den CMP BPSG Schritt ein verhältnismäßig breites Prozeßfenster ergibt.

[0009] Wenn jedoch ein Bipolartransistor 10 als aktives Bauelement der Halbleitervorrichtung (eventuell zusätzlich zu einem CMOS Transistor 20) vorgesehen ist, stellt sich die prozeßtechnische Situation anders dar. Wird nämlich die Spezifikation des Polierschritts der Isolatorschicht 30 (CMP BPSG) unmittelbar von dem CMOS-Logik-Prozeß (Infineon C9N-Prozeß: Schichthöhe BPSG 700 nm ± 150 nm) auf den Bipolar-CMOS-Prozeß (Infineon B9C-Prozeß) übernommen, so kann sich ungünstigsten Falls bei einer Emittterkontakthöhe von 550 nm über dem Substrat 8 eine lediglich wenige Nanometer hohe BPSG-Isolatorschicht 30 ergeben. Diese sehr dünne Isolatorschicht 30 über dem Emittterkontakt 14 ist für eine nachfolgende Strukturierung eines Kontaktlochs 32 nicht geeignet. Folglich ist das Prozeßfenster für den Planarisierungsschritt (CMP BPSG) bei B9C-Prozeßtechnologie stark reduziert.

[0010] Ferner ist zu erwarten, daß zukünftige Bipolar-Transistorgenerationen, welche insbesondere Silizium-Germanium-Heterobipolartransistoren umfassen, noch höhere Emittterkontakte (Emittterstacks) gegenüber den übrigen Kontakten (beispielsweise dem Gatekontakt-Polystack) aufweisen werden, wodurch sich dieses Problem noch verschärfen würde.

[0011] Ein weiteres, mit dem relativ hohen Emittterkontakt 14 zusammenhängendes Problem herkömmlicher Halbleitervorrichtungen liegt in den hohen prozeßtechnischen Anforderungen an den Strukturierungsschritt der Kontaktlöcher 32 (CT) begründet, über welche die Kontakte 12, 14, 16, 22, 24 und 26 jeweils standardmäßig mit der ersten strukturierten Metallebene 34 verbunden werden. So muß der Ätzschritt (Schritt: CT Etch) der Kontaktlöcher 32, bei welchem es sich typischerweise um einen Plasmaätzschritt handelt, hoch selektiv gegenüber dem Emittterkontakt 14 (Polysiliziumkontakt) sein, um auch die am "tiefsten" gelegenen Kontaktflächen (d. h. die am nächsten zur Prozeßoberfläche 8' des Substrats 8 gelegenen Flächen) zuverlässig und restefrei öffnen zu können ohne den Emittterkontakt 14 anzugreifen. Bei den obengenannten Spezifikationen des C9N-Prozesses können beispielsweise Sourcekontakt 22 und Drainkontakt 26 des MOS-Transistors 20 maximal 850 nm unterhalb der Isolatorschicht 30 nach dem Polierschritt (CMP BPSG) "vergraben" sein.

[0012] Um diese substratnah gelegenen Kontakte 22 bzw. 26 restefrei mit dem Plasmaätzschritt öffnen zu können, ist eine vergleichsweise lange Ätzzeit notwendig. Diese lange Ätzzeit in Verbindung mit einer BPSG-Schichtdicke von 700 nm ± 150 nm bedeutet für eine minimale Dicke von 550 nm, daß bereits nach einer kurzen Ätzzeitdauer die Ätzungsfrent des Kontaktlochs 32, welches sich über dem Emittterkontakt 14 befindet, auf der Kontaktfläche des Emitt-

terkontakte 14 angelangt sein wird. Von diesem Zeitpunkt an ist der Emittterkontakt 14 mit seiner Kontaktfläche der Plasmaätzte ausgesetzt. Nur wenn der Plasmaätzschritt (durch Zugabe geeigneter Passivierungsverbindungen in das Ätzplasma) hoch selektiv den Isolator 30 (z. B. BPSG) gegenüber dem Kontaktmaterial (z. B. Polysilizium) ätzt, kann eine Fortführung des Ätzprozesses zur Öffnung der tief gelegenen Kontakte erfolgen, ohne daß der Emittterkontakt 14 angegriffen wird. Diese prozeßtechnische Herausforderung kann zu einer weiteren empfindlichen Ausbeuteeinbuße führen.

[0013] Neben den prozeßtechnologischen Schwierigkeiten, welche die oben beschriebene herkömmliche Halbleitervorrichtung bei ihrer Herstellung mit sich bringt (kritische Prozeßfenster der Prozeßschritte CMP BPSG und CT Etch), ist bei derartigen, bekannten Halbleitervorrichtungen die Kontaktfläche des Emittterkontakts 14 nachteiligerweise auf die Fläche des Kontaktlochs 32 beschränkt. Bipolaranwendungen, welche große Emittter-Kollektor-Stromstärken erfordern, lassen sich durch die nicht optimale Ausnutzung des Querschnitts des Emittterkontakts 14 nur begrenzt realisieren.

[0014] Die oben beschriebenen Probleme bei der Herstellung der bekannten Halbleitervorrichtung wurden bislang dadurch gelöst, daß die aus dem C9N-Prozeß abgeleitete Spezifikation des Polierschritts (CMP BPSG) der Isolatorschicht 30 "aufgeweitet" wurde. Während bei dem C9N-Prozeß für die Schichthöhe der Isolatorschicht 30 eine Spezifikation von $700 \text{ nm} \pm 150 \text{ nm}$ nach dem Planarisierungsschritt gefordert wurde, wurde bei dem Bipolar-CMOS-Prozeß (Infineon B9C-Prozeß) lediglich eine Schichthöhe der Isolatorschicht 30 von $750 \text{ nm} \pm 150 \text{ nm}$ über der Prozeßoberfläche 8' verlangt.

[0015] Wird die Höhe des Emittterkontakts um 50 nm reduziert (auf nunmehr 500 nm), wird gleichsam das Prozeßfenster für den Ätzschritt der Kontaktlöcher 32 eingeschränkt, da nunmehr eine geringere "Reserve" an Polysilizium des Emittterkontakts 14, welches von der Kontaktlochanätzung (CT Etch) angegriffen werden kann, vorhanden ist. Hierdurch reduziert sich das Prozeßfenster des Plasmaätzschritts der Kontaktlöcher 32.

[0016] Angesichts der oben genannten Nachteile herkömmlicher Halbleitervorrichtungen bzw. ihrer Herstellungsverfahren ist es Aufgabe der Erfindung, eine Halbleitervorrichtung sowie ein Herstellungsverfahren für eine Halbleitervorrichtung anzugeben, bei welcher die Höhe eines Kontakts (beispielsweise des Emittterkontakts 14) frei gewählt werden kann, ohne dadurch die Prozessierung der Halbleitervorrichtung nachhaltig zu erschweren.

[0017] Diese Aufgabe wird durch eine Halbleitervorrichtung gemäß den Ansprüchen 1 und 10 sowie ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß den Ansprüchen 5 und 12 gelöst. Bevorzugte Ausführungsformen sind Gegenstand der abhängigen Ansprüche.

[0018] Gemäß einem ersten Aspekt der Erfindung umfaßt eine Halbleitervorrichtung

- ein Substrat, dessen Prozeßoberfläche eine Substratnormalenrichtung aufweist;
- zumindest einen ersten und einen zweiten auf dem Substrat angeordneten Kontakt, wobei eine Kontaktfläche des zweiten Kontakts in Substratnormalenrichtung weiter von dem Substrat als eine Kontaktfläche des ersten Kontakts beabstandet ist; und
- zumindest eine erste und eine zweite strukturierte Metallebene, in welchen jeweils zumindest ein Leiter ausgebildet ist, der mit zumindest einem der Kontakte verbindbar ist;

wobei die zweite Metallebene in Substratnormalenrichtung weiter von dem Substrat als die erste Metallebene beabstandet ist,

5 der zweite Kontakt mit einem in Substratnormalenrichtung darüberliegenden Leiter der zweiten Metallebene ohne Zwischenschaltung eines Leiters der ersten Metallebene elektrisch verbunden ist und

10 der erste Kontakt mit einem in Substratnormalenrichtung darüberliegenden Leiter der ersten Metallebene elektrisch verbunden ist.

[0019] Wie oben bereits beschrieben worden ist, werden üblicherweise sämtliche Kontakte der aktiven Bauelemente herkömmlicher Halbleitervorrichtungen typischerweise über sogenannte Kontaktlöcher (CT) mit in Substratnormalenrichtung darüberliegenden Leitern einer ersten strukturierten Metallebene verbunden. Ist das aktive Bauelement der Halbleitervorrichtung beispielsweise ein Bipolartransistor, so sind jeweilige Leiter der ersten strukturierten Metallebene mit dem Basis-, dem Emittter- und dem Kollektorkontakt des Transistors verbunden.

[0020] Gemäß dem ersten Aspekt der Erfindung wird jedoch ein anderer Weg eingeschlagen. So wird erfindungsgemäß ein Kontakt, dessen Kontaktfläche einen großen Abstand von der Prozeßoberfläche des Substrats aufweist, nicht mit einem Leiter der ersten Metallebene verbunden. Stattdessen erfolgt die Kontaktierung dieses Kontakts erst in einem späteren Prozeßstadium beispielsweise durch ein Kontaktloch zu einer zweiten strukturierten Metallebene, welche in Substratnormalenrichtung über der ersten strukturierten Metallebene angeordnet ist. Folglich kann der zweite Kontakt, welcher gegenüber den übrigen Kontakten eine große Kontaktfläche über der Prozeßoberfläche aufweist, in seiner Höhe frei dimensioniert werden, da er nicht gemeinsam mit den übrigen Kontakten über die erste strukturierte Metallebene kontaktiert werden muß.

[0021] Über dem zweiten (hohen) Kontakt in Substratnormalenrichtung ist kein Leiter der ersten Metallebene angeordnet. Stattdessen befindet sich über dem zweiten Kontakt lediglich ein Leiter der zweiten Metallebene, welcher mit der Kontaktfläche des zweiten Kontakts beispielsweise über einen Wolfram-Kontaktzapfen verbunden ist.

[0022] Besondere Vorteile ergeben sich bei dieser erfindungsgemäßen Halbleitervorrichtung dadurch, daß typischerweise ohnehin nach der Prozessierung der ersten Metallebene weitere vertikale Verbindungskontakte (sogenannte VIA-Verbindungskontakte) zur Verbindung gewisser Leiter der ersten Metallebene mit darüberliegenden Leitern der zweiten Metallebene vorgesehen sind. Der zweite Kontakt kann somit über die VIA-1-Verbindungskontakte mit der zweiten Metallebene kontaktiert werden, so daß keine zusätzlichen Lithographie-, Reinigungs-, Metallisierungs- und Polierschritte zur Kontaktierung des zweiten Kontakts über die höherliegende Metallebene notwendig sind.

[0023] Gemäß einer bevorzugten Ausführungsform ist der zweite Kontakt ein Emittterkontakt eines Bipolartransistors und der erste Kontakt ein Basis- oder Kollektorkontakt eines Bipolartransistors oder ein Source-, Gate- oder Drainkontakt eines MOS-Transistors. Wie bereits eingangs beschrieben worden ist, weist der Emittterkontakt eines Bipolartransistors verglichen mit den übrigen Kontakten der aktiven Bauelemente einer Halbleitervorrichtung typischerweise die größte Höhe über der Prozeßoberfläche des Substrats auf. Es ist somit vorteilhaft, den (vergleichsweise hohen) Emittterkontakt nicht mit einem Leiter der ersten Metallebene zu verbinden, sondern - beispielsweise über einen VIA-1-Kontakt - lediglich mit einem Leiter der zweiten Metallebene. Über dem Emittterkontakt liegt somit kein Leiter der ersten

Metallebene.

[0024] Vorzugsweise ist der erste Kontakt mit der Leiter der ersten Metallebene über ein sich in Substratnormalenrichtung erstreckendes und mit einem elektrisch leitfähigen Kontaktlochfüllmaterial gefülltes Kontaktloch verbunden. Das Kontaktlochfüllmaterial kann beispielsweise Wolfram sein, welches mit einem MCVD-Verfahren in ein zuvor plasmageätztes Kontaktloch eingebracht wird. Als Diffusionsstopp kann an sämtlichen Grenzflächen (insbesondere zwischen dem Kontaktlochfüllmaterial und der Metallebene bzw. dem Kontaktmaterial) ein sogenannter Liner, beispielsweise ein TiN-Liner, vorgesehen sein.

[0025] Vorzugsweise ist der zweite Kontakt mit dem Leiter der zweiten Metallebene über ein sich in Substratnormalenrichtung erstreckendes und mit einem elektrisch leitfähigen Kontaktlochfüllmaterial gefülltes Kontaktloch ohne Zwischenschaltung eines Leiters der ersten Metallebene verbunden. Wie oben bereits ausgeführt worden ist, kann es sich bei dem Kontaktloch um den sogenannten VIA-1-Verbindungskontakt handeln, welcher normalerweise Leiter der zweiten strukturierte Metallebene mit entsprechenden der ersten strukturierten Metallebene verbindet. Erfindungsgemäß kann dieser VIA-1-Verbindungskontakt eingesetzt werden, um den zweiten Kontakt bzw. mehrere hochliegende Kontakte) zu kontaktieren. Zwischen dem entsprechenden Leiter der zweiten Metallebene und der Kontaktfläche des zweiten Kontakts ist in Substratnormalenrichtung kein Leiter der ersten Metallebene angeordnet.

[0026] Gemäß dem ersten Aspekt der Erfindung umfaßt ein Verfahren zur Herstellung einer Halbleitervorrichtung, insbesondere einer Halbleitervorrichtung gemäß dem ersten Aspekt der Erfindung, folgende Schritte:

- Bereitstellen eines Substrats, dessen Prozeßoberfläche eine Substratnormalenrichtung aufweist;
- Definieren zumindest eines ersten und eines zweiten Kontakts auf dem Substrat, wobei eine Kontaktfläche des zweiten Kontakts in Substratnormalenrichtung weiter von dem Substrat als eine Kontaktfläche des ersten Kontakts beabstandet ist;
- elektrisches Verbinden des ersten Kontakts mit einem in Substratnormalenrichtung darüberliegenden Leiter einer ersten strukturierten Metallebene; und
- elektrisches Verbinden des zweiten Kontakts mit einem in Substratnormalenrichtung darüberliegenden Leiter einer zweiten strukturierten Metallebene ohne Zwischenschaltung eines Leiters der ersten Metallebene;

wobei die zweite Metallebene in Substratnormalenrichtung weiter von dem Substrat als die erste Metallebene beabstandet ist.

[0027] Demgemäß wird bei einem Herstellungsverfahren einer Halbleitervorrichtung gemäß dem ersten Aspekt der Erfindung der zweite, in Substratnormalenrichtung weiter von der Prozeßoberfläche beabstandete Kontakt nicht mit einem Leiter der ersten Metallebene verbunden, sondern lediglich mit einem in Substratnormalenrichtung darüberliegenden Leiter der zweiten Metallebene.

[0028] Hierdurch vereinfacht sich die Strukturierung der elektrischen Verbindungen der übrigen Kontakte zu der ersten strukturierten Metallebene erheblich. Denn auf den (hochliegenden) zweiten Kontakt bzw. auf eine Vielzahl derartiger hochliegender zweiter Kontakte muß bei der prozeßtechnischen Realisation der elektrischen Verbindung des ersten Kontakts zu der ersten Metallebene keine Rücksicht genommen werden. Stattdessen können die Strukturierungs- und Prozeßparameter für die Kontaktierung des ersten Kon-

takts (bzw. der ersten Kontakte) für deren Kontaktierung optimiert werden. Gleichzeitig kann der zweite Kontakt in seiner Kontakthöhe (d. h. seines Abstands von der Prozeßoberfläche in Normalenrichtung des Substrats) frei gewählt werden (unter gleichzeitiger Anpassung der BPSG-Schichtdicke, deren minimale Höhe gleich oder größer als die resultierende Kontakthöhe des zweiten Kontakts sein muß), um optimale Strukturierungs- und Bauelementeigenschaften zu gewährleisten.

[0029] Vorzugsweise ist der zweite Kontakt ein Emittierkontakt eines Bipolartransistors und der erste Kontakt ein Basis- oder Kollektorkontakt eines Bipolartransistors oder ein Source- Gate- oder Drainkontakt eines MOS-Transistors.

[0030] Vorzugsweise umfaßt der Schritt des elektrischen Verbindens des ersten Kontakts folgende Schritte:

- Definieren eines auf dem ersten Kontakt endenden, sich in Substratnormalenrichtung erstreckenden Kontaktlochs in einem Isolator;
- Füllen des Kontaktlochs mit einem elektrisch leitfähigen Kontaktlochfüllmaterial; und
- Definieren des in Substratnormalenrichtung über dem ersten Kontakt liegenden Leiters der ersten Metallebene derart, daß dieser mit dem Kontaktlochfüllmaterial elektrisch verbunden ist.

[0031] Beispielsweise wird nach Fertigstellung der aktiven Bauelemente der Halbleitervorrichtung (Prozessende TEOL) ein dielektrischer Isolator wie BPSG (Bor-Phosphor-Silikat-Glas) mittels eines CVD Verfahrens auf der Halbleitervorrichtung abgeschieden, durch einen nachfolgenden Planarisierungsschritt (CMP BPSG) auf eine Zielhöhe zurückpoliert und mittels gängiger Lithographie- und Ätzschritte strukturiert. Das entstehende, sich entlang der Substratnormalenrichtung erstreckende Kontaktloch endet auf dem zu kontaktierenden ersten Kontakt bzw. den zu kontaktierenden ersten Kontakten. Durch einen MCVD-Metallisierungsschritt kann dieses Kontaktloch nachfolgend mit einem elektrisch leitfähigen Kontaktlochfüllmaterial, vorzugsweise Wolfram, gefüllt werden. Vorzugsweise wird nachfolgend ein Leiter der ersten Metallebene derart auf dem erneut planarisierten Wolfram-Kontaktzapfen angeordnet, daß dieser mit dem ersten Kontakt elektrisch leitfähig verbunden ist.

[0032] Vorzugsweise umfaßt der Schritt des elektrischen Verbindens des zweiten Kontakts folgende Schritte:

- Definieren eines auf dem zweiten Kontakt endenden, sich in Substratnormalenrichtung erstreckenden Kontaktlochs in einem Isolator;
- Füllen des Kontaktlochs mit einem elektrisch leitfähigen Kontaktlochfüllmaterial; und
- Definieren des in Substratnormalenrichtung über dem zweiten Kontakt liegenden Leiters der zweiten Metallebene derart, daß dieser mit dem Kontaktlochfüllmaterial ohne Zwischenschaltung eines Leiters der ersten Metallebene elektrisch verbunden ist.

[0033] Vorzugsweise wird gleichzeitig mit dem Schritt des elektrischen Verbindens des zweiten Kontakts mit dem Leiter der zweiten Metallebene zumindest ein Leiter der ersten Metallebene mit einem Leiter der zweiten Metallebene verbunden. Der zweite Kontakt wird demgemäß vorzugsweise über den sogenannten VIA-1-Verbindungskontakt mit einem Leiter der zweiten Metallebene elektrisch leitfähig verbunden. Die Prozessierung dieser VIA-1-Verbindungskontakte gehört zu den Standardprozessen derartiger Halb-

leitervorrichtungen, so daß zur Kontaktierung des zweiten Kontakts keine zusätzlichen Strukturierungsschritte gegenüber herkömmlichen Prozessierungsverfahren notwendig sind.

[0034] Gemäß einem zweiten Aspekt der Erfindung umfaßt eine Halbleitervorrichtung

- ein Substrat, dessen Prozeßoberfläche eine Substratnormalenrichtung aufweist;
- zumindest einen ersten und einen zweiten auf dem Substrat angeordneten Kontakt, wobei eine Kontaktfläche des zweiten Kontakts in Substratnormalenrichtung weiter von dem Substrat als eine Kontaktfläche des ersten Kontakts beabstandet ist; und
- zumindest eine strukturierte Metallebene, in welcher zumindest ein erster und ein zweiter Leiter ausgebildet ist, die jeweils mit einem der Kontakte verbindbar sind;

wobei der erste Kontakt mit dem in Substratnormalenrichtung darüberliegenden ersten Leiter der Metallebene über ein sich in Substratnormalenrichtung erstreckendes und mit einem elektrisch leitfähigen Kontaktlochfüllmaterial gefülltes Kontaktloch elektrisch verbunden ist und der zweite Kontakt unmittelbar an den in Substratnormalenrichtung darüberliegenden zweiten Leiter der Metallebene angrenzt, so daß der zweite Kontakt mit dem zweiten Leiter ohne Zwischenschaltung eines gefüllten Kontaktlochs elektrisch verbunden ist.

[0035] Gemäß dem zweiten Aspekt der Erfindung wird der zweite Kontakt (d. h. der höherliegende Kontakt) nicht über ein Kontaktloch mit einem Leiter der (z. B. ersten) Metallebene elektrisch verbunden. Stattdessen erfolgt die elektrische Verbindung unmittelbar an den in Substratnormalenrichtung angrenzenden zweiten Kontakt mit dem zweiten Leiter ohne Zwischenschaltung eines gefüllten Kontaktlochs elektrisch verbunden ist. Folglich kann die Prozessierung der Kontaktlöcher für die übrigen Kontakte ohne Berücksichtigung des hohen zweiten Kontakts erfolgen, so daß die Strukturierung der Kontaktlöcher zur Verbindung des ersten Kontakts mit der Metallebene verglichen zu den eingangs beschriebenen herkömmlichen Halbleitervorrichtungen unkritisch ist.

[0036] Die Kontaktfläche des zweiten Kontakts wird nicht durch einen Plasmaätzschritt eines Kontaktlochs geöffnet, sondern vorzugsweise durch einen Polierschritt (CMP-Schritt). Folglich kann die Höhe des zweiten Kontakts frei gewählt werden bzw. an die Prozessanforderungen eines optimierten aktiven Bauelements angepaßt werden.

[0037] Vorzugsweise ist der zweite Kontakt ein Emittterkontakt eines Bipolartransistors und der erste Kontakt ein Basis- oder Kollektorkontakt oder ein Source-, Gate oder Drainkontakt eines MOS-Transistors.

[0038] Gemäß dem zweiten Aspekt der Erfindung umfaßt ein Verfahren zur Herstellung einer Halbleitervorrichtung, vorzugsweise einer Halbleitervorrichtung gemäß dem zweiten Aspekt der Erfindung, folgende Schritte:

- Bereitstellen eines Substrats, dessen Prozeßoberfläche eine Substratnormalenrichtung aufweist;
- Definieren zumindest eines und eines zweiten Kontakts auf dem Substrat, wobei eine Kontaktfläche des zweiten Kontakts in Substratnormalenrichtung weiter von dem Substrat als eine Kontaktfläche des ersten Kontakts beabstandet ist;
- elektrisches Verbinden des ersten Kontakts mit einem in Substratnormalenrichtung darüberliegenden ersten Leiter einer strukturierten Metallebene über ein sich in Substratnormalenrichtung erstreckendes und mit einem elektrisch leitfähigen Kontaktlochfüllmate-

rial gefülltes Kontaktloch; und

- elektrisches Verbinden des zweiten Kontakts mit einem in Substratnormalenrichtung darüberliegenden, an den zweiten Kontakt angrenzenden zweiten Leiter der Metallebene ohne Zwischenschaltung eines gefüllten Kontaktlochs.

[0039] Folglich wird der erste Kontakt bzw. die ersten Kontakte - wie auch bei typischen bekannten Herstellungsverfahren - über sich in Substratnormalenrichtung erstreckende Kontaktlöcher mit entsprechenden Leitern der strukturierten Metallebene verbunden. Die Kontaktlöcher werden beispielsweise in einem Isolator, insbesondere BPSG, durch einen Lithographie- und nachfolgenden Plasmaätzschritt definiert, an welchen sich ein Metallisierungsschritt zum Füllen des Kontaktlochs mit einem Kontaktlochfüllmaterial, beispielsweise Wolfram, anschließt. Auf die polierte, der Prozeßoberfläche abgewandten Oberseite dieses vertikalen Kontaktzapfens, welcher auf der Kontaktfläche des ersten Kontakts endet, wird nachfolgend der erste Leiter der Metallebene derart definiert, daß dieser elektrisch mit dem Kontaktlochfüllmaterial verbunden ist.

[0040] Demgegenüber erfolgt die elektrische Verbindung des zweiten Kontakts mit einem zweiten Leiter der strukturierten Metallebene in anderer Weise. Hier wird kein mit einem Kontaktlochfüllmaterial gefülltes Kontaktloch eingesetzt, d. h. der vertikale Kontaktzapfen fehlt. Stattdessen grenzt die Kontaktfläche des zweiten Kontakts unmittelbar an den entsprechenden Leiter der Metallebene an, so daß eine elektrische Verbindung zwischen dem Leiter der (ersten) Metallebene mit dem zweiten Kontakt besteht. Zwischen der Kontaktfläche des zweiten Kontakts und der zweiten Leiter der strukturierten Metallebene kann jedoch eine dünne Linerschicht, insbesondere als Diffusionsstopp (z. B. aus TiN), vorhanden sein.

[0041] Dadurch, daß die Kontaktierung der Kontaktfläche des zweiten Kontakts nicht über ein Kontaktloch gemeinsam mit dem ersten Kontakt bzw. den ersten Kontakten erfolgt, sind die Prozeßanforderungen an die Strukturierung des Kontaktlochs wesentlich aufgeweitet. Die Normalenhöhe des zweiten Kontakts kann nunmehr unabhängig von den Prozeßbeschränkungen der Kontaktlochstrukturierung frei gewählt werden.

[0042] Vorzugsweise ist der zweite Kontakt ein Emittterkontakt eines Bipolartransistors und der erste Kontakt ein Basis- oder Kollektorkontakt eines Bipolartransistors oder ein Source-, Gate- oder Drainkontakt eines MOS-Transistors.

[0043] Vorzugsweise umfaßt der Schritt des elektrischen Verbindens des ersten Kontakts folgende Schritte:

- Definieren eines auf dem ersten Kontakt endenden, sich in Substratnormalenrichtung erstreckenden Kontaktlochs in einem Isolator;
- Füllen des Kontaktlochs mit einem elektrisch leitfähigen Kontaktlochfüllmaterial; und
- Definieren des in Substratnormalenrichtung über dem ersten Kontakt liegenden ersten Leiters der Metallebene derart, daß dieser mit dem Kontaktlochfüllmaterial elektrisch verbunden ist.

[0044] Vorzugsweise umfaßt der Schritt des elektrischen Verbindens des zweiten Kontakts folgende Schritte:

- Definieren einer in Substratnormalenrichtung orientierten freiliegenden Kontaktfläche des zweiten Kontakts durch einen planaren Polierschritt; und
- Definieren des zweiten Leiters der Metallebene der-

art, daß dieser an die freiliegende Kontaktfläche des zweiten Kontakts elektrisch leitend angrenzt.

[0045] Bevorzugt wird die Kontaktfläche des zweiten Kontakts durch einen planaren Polierschritt – und nicht bei dem ersten Kontakt durch einen Plasmaätzschritt – geöffnet. Besonders eignen sich hierbei bekannte CMP-Polierschritte. Beispielsweise wird nach der CVD-Abscheidung des Isolators (beispielsweise BPSG) nach dem Prozeßende FEOL der planare Polierschritt zum Zurückpolieren des Isolators (z. B. BPSG) derart ausgeführt, daß die Zielhöhe des Isolators so bemessen ist, daß der Polierschritt auf dem zweiten Kontakt endet.

[0046] In bekannter Weise können zur Festsetzung des Endpunkts des CMP-Polierschritts bekannte Endpunkterkennungssysteme eingesetzt werden. Vorzugsweise wird der zweite Kontakt selbst bei dem Polier- bzw. Planarisierungsschritt als Polierstopp verwendet. Auch können zusätzliche Strukturen vorgesehen sein, die als Polierstopp dienen.

[0047] Da während des Lithographie- und Plasmaätzschritts des Kontaktlochs zur Kontaktierung des ersten Kontakts die zuvor freigelegte Kontaktfläche des zweiten Kontakts durch einen Photoresist geschützt ist, wird dieser bei dem Plasmaätzschritt nicht angegriffen. Die Kontaktierung der freigelegten Kontaktfläche des zweiten Kontakts kann somit einfach dadurch erfolgen, daß der zweite Leiter der Metallebene auf diese Kontaktfläche aufgebracht wird. Vorteilhaft kann es sein, vor der Definition des zweiten Leiters der Metallebene (beispielsweise eine mit einem MCVD-Verfahren aufgetragene und nachfolgend strukturierte AlCu-Ebene) einen sogenannten Liner (beispielsweise TiN) aufzusputtern, welcher als Migrationstopp fungiert.

[0048] Alternativ zu dem Freilegen der Kontaktfläche des zweiten Kontakts durch einen Polierschritt des Isolators (beispielsweise BPSG), kann diese auch durch einen späteren Polierschritt des KontaktloCHFüllmaterials freigelegt werden.

[0049] Die Erfindung wird nachfolgend mit Bezug auf begleitende Zeichnungen bevorzugter Ausführungsformen beispielhaft beschrieben. Es zeigt:

[0050] Figs. 1 bis 14 schematische Schnittansichten einer bevorzugten Ausführungsform einer Halbleitervorrichtung gemäß dem ersten Aspekt der Erfindung in unterschiedlichen Strukturierungs- bzw. Prozessierungsstadien während des Herstellungsverfahrens;

[0051] Fig. 15 eine schematische Schnittansicht einer bevorzugten Ausführungsform einer Halbleitervorrichtung gemäß dem zweiten Aspekt der Erfindung; und

[0052] Fig. 16 eine Schnittansicht einer herkömmlichen Halbleitervorrichtung.

[0053] In Fig. 1 ist eine Schnittansicht einer bevorzugten Ausführungsform einer Halbleitervorrichtung gemäß dem ersten Aspekt der Erfindung dargestellt. Die Halbleitervorrichtung befindet sich in einem Prozeßstadium, in welchem die aktiven Bauelemente – wie der Bipolartransistor 10 und der MOS-Transistor 20 – bereits fertiggestellt worden sind. Das Prozessende der FEOL (front end of line), bei dem insbesondere Hochtemperaturschritte auftreten können, ist somit bereits erreicht.

[0054] Wie in Fig. 1 gezeigt ist, wird in dem nachfolgenden Prozessierungsschritt die gesamte Halbleitervorrichtung mit einem dielektrischen Isolator 30, bei welchem es sich beispielsweise um BPSG (Bor-Phosphor-Silikat-Glas) handelt, vorzugsweise mittels einer CVD-Abscheidung bedeckt (Schritt: CVD BPSG). Typischerweise wird die Isolatorschicht 30 mit einer Schichtdicke von ca. 1400 nm aufgebracht. Diese Schichtdicke ist wesentlich größer als die Höhe des Emitterkontakts 14, welche typischerweise

550 nm beträgt, sowie des Gatekontakts 24, welche typischerweise 280 nm beträgt.

[0055] In einem nächsten, in Fig. 2 dargestellten Prozeßschritt wird die Isolatorschicht 30 durch einen Polierschritt auf eine Zielhöhe von typischerweise 700 nm \pm 150 nm zurückpoliert, wozu bekannte CMP (chemical mechanical planarization) Schritte eingesetzt werden (Schritt: CMP BPSG).

[0056] Wie in Fig. 3 dargestellt ist, werden nachfolgend durch einen Lithographie- und anschließenden Ätzschritt Kontaktlöcher 32 in der Isolatorschicht 30 definiert (Schritt CT Etch). Diese Kontaktlöcher 32 erstrecken sich in Normalenrichtung des Substrats 8, d. h. sie weisen eine vertikale Orientierung auf. Im Unterschied zu einem herkömmlichen Herstellungsverfahren beispielsweise einer Halbleitervorrichtung, wie sie in Fig. 16 dargestellt ist, wird kein Kontaktloch 32 definiert, welches auf einer Kontaktfläche des Emitterkontakts 14 endet. Mit anderen Worten wird kein zu der Kontaktfläche des Emitterkontakts 14 führendes Fenster in die Isolatorschicht 30 geätzt.

[0057] Der Emitterkontakt 14, welcher bei dieser Ausführungsform der Halbleitervorrichtung der zweite (höhere) Kontakt ist, wird daher bei den nachfolgenden Metallisierungsschritten nicht kontaktiert. Dadurch, daß auf eine Kontaktierung des Emitterkontakts 14 (des zweiten Kontakts) in diesem Prozeßstadium verzichtet wird, braucht die Strukturierung der Kontaktlöcher 32, d. h. der Polierschritt CMP BPSG sowie der Plasmaätzschritt CT Etch, nicht auf eine prozeßtechnisch aufwendige, gleichzeitige Kontaktierung des ersten und des zweiten Kontakts angepaßt zu werden.

[0058] Hierdurch wird das Prozeßfenster für den Polierschritt CMP BPSG, dessen Ergebnis in Fig. 2 dargestellt ist, sowie für den Plasmaätzschritt CT Etch (vgl. Fig. 3), gegenüber einem Herstellungsverfahren der in Fig. 16 gezeigten Halbleitervorrichtung erheblich aufgeweitet. Die zulässige Höhe in Substratnormalenrichtung des zweiten Kontakts 14 muß demgemäß nicht mehr unter Berücksichtigung der Strukturierung der Kontaktlöcher 32 gewählt werden. Stattdessen kann gemäß dem erfindungsgemäßen Herstellungsverfahren einer Halbleitervorrichtung nach dem ersten Aspekt der Erfindung die Höhe des Emitterkontakts 14 freigelegt bzw. den Prozeßanforderungen eines optimierten Bipolartransistors angepaßt werden. Durch die Aufhebung der topologiebedingten Beschränkungen der Höhe des Emitterkontakts 14 können neu zu entwickelnde Kontaktlochätzungen für Bipolarbauelemente zukünftiger Technologieplattformen vermieden werden.

[0059] In Fig. 4 ist die bevorzugte Ausführungsform der erfindungsgemäßen Halbleitervorrichtung nach dem ersten Aspekt der Erfindung nach Abschluß der Kontaktlochmetallisierung dargestellt. Zunächst wird vorzugsweise ein sogenannter Liner, welcher beispielsweise aus TiN besteht und welcher insbesondere als Diffusionsstopp dient, aufgesputtert. Nachfolgend wird beispielsweise mittels eines MCVD-Verfahrens beispielsweise Wolfram abgeschieden, welches als KontaktloCHFüllmaterial die Kontaktlöcher 32 füllt.

[0060] Die in Figs. 4 bis 9 dargestellten Prozeßschritte entsprechen jeweiligen Schritten eines herkömmlichen Herstellungsverfahrens einer Halbleitervorrichtung, wie sie beispielsweise in Fig. 16 dargestellt ist. Somit wird – in üblicher Weise – mittels eines Planarisierungsschritts (Schritt: CMP W) das elektrisch leitfähige KontaktloCHFüllmaterial bis auf eine Zielhöhe zurückpoliert. Die Zielhöhe wird hierbei derart gewählt, daß der Emitterkontakt 14 (der zweite Kontakt) nicht geöffnet wird (vergleiche Fig. 5) und keine Reste des Füllmaterials oder des Liners außerhalb der definierten Kontaktlöcher vorhanden sind.

[0061] Zur Ausbildung der ersten strukturierten Metall-

ebene 34 kann anschließend ein Metall auf die Halbleitervorrichtung aufgesputtert werden, welches beispielsweise AlCu sein kann (vgl. Fig. 6; Schritt: Sputter Metall 1). Die Schichtdicke dieser ersten Metallebene 34 kann abhängig von den Designanforderungen gewählt werden und beträgt typischerweise etwa 400 nm.

[0062] Mit einem nachfolgenden Lithographie- und Ätzschritt (Schritt: Etch Metall 1) wird die erste Metallebene 34 derart strukturiert, daß über den beispielsweise mit Wolfram gefüllten Kontaktlöchern 32 elektrische Leiter bzw. Anschlußkontakte in der ersten Metallebene 34 ausgebildet werden. Wie in Fig. 7 dargestellt ist, sind alle (ersten) Kontakte 12, 16, 22, 24 und 26 über Kontaktlöcher mit entsprechenden, in Substratnormalenrichtung darüberliegenden Leitern der ersten Metallebene 34 verbunden. Lediglich über dem zweiten Kontakt 14, bei welchem es sich bei der vorliegenden Ausführungsform um den Emittterkontakt handelt, ist kein Leiter der ersten Metallebene 34 in Substratnormalenrichtung über dem Kontakt 14 angeordnet.

[0063] Anschließend erfolgt in einem Abscheideschritt das Aufbringen eines weiteren Dielektrikums bzw. Isolators (Schritt: deposit ILD1 (interlayer dielectric 1)). Fig. 8 zeigt die Halbleitervorrichtung nach Beendigung dieses Abscheideschrittes. In herkömmlicher Weise wird nachfolgend mittels eines weiteren Polierschritts (Schritt: CMP ILD1) das zuvor abgeschiedene Dielektrikum auf eine Zielhöhe zurückpoliert (vgl. Fig. 9).

[0064] Ähnlich wie in dem anhand von Fig. 3 erläuterten Strukturierungsschritt der Isolatorschicht 30 werden nachfolgend mittels eines Lithographie- und Ätzschrittes Kontaktlöcher 38 in das Dielektrikum 36 (ILD) eingebracht (Schritt: Etch VIA1). Im Unterschied zu einem herkömmlichen Herstellungsverfahren beispielsweise einer Halbleitervorrichtung gemäß Fig. 16 werden jedoch nicht nur die Kontaktlöcher 38 strukturiert, die auf Leitern der ersten Metallebene 34 enden, sondern ebenfalls ein Kontaktloch 38, welches auf der Kontaktfläche des Emittterkontakts 14 (des zweiten Kontakts) endet.

[0065] Ein Fenster zu dem Emittterkontakt 14 wird somit vorzugsweise erst bei der Strukturierung der sogenannten VIA-1-Verbindungskanäle, welche standardmäßig Leiter der ersten Metallebene 34 mit entsprechenden der zweiten Metallebene 40 verbinden, geöffnet. Folglich erfolgt die Kontaktierung des Emittterkontakts 14 im Unterschied zum Stand der Technik vorzugsweise über eine VIA1-Kontaktlochverbindung zu der zweiten Metallisierungsebene.

[0066] Ähnlich zu dem anhand von Fig. 4 beschriebenen Metallisierungsschritt erfolgt anschließend ein Füllen der Kontaktlöcher 38 mit einem elektrisch leitfähigen Kontaktfüllmaterial. Erneut wird zunächst ein Liner (TiN) als Diffusionsstopp aufgesputtert (Schritt: Sputter Liner). Anschließend wird mittels eines MCVD Verfahrens ein geeignetes Metall (beispielsweise Wolfram) abgeschieden (Schritt: MCVD W; vgl. Fig. 11) und mittels eines weiteren planaren Polierschritts (Schritt: CMP W; vgl. Fig. 12) auf eine Zielhöhe zurückpoliert. Die Strukturierung der zweiten Metallebene 40 erfolgt in gleicher Weise wie die Strukturierung der ersten Metallebene 34, welche anhand von Figs. 6 und 7 beschrieben worden ist.

[0067] Die bevorzugte Ausführungsform der Halbleitervorrichtung gemäß dem ersten Aspekt der Erfindung nach Abschluß der erfindungsgemäßen Verfahrensschritte ist in Fig. 14 dargestellt. Wie oben bereits detailliert ausgeführt wurde, unterscheidet sich diese Halbleitervorrichtung von einer in Fig. 16 dargestellten bekannten Halbleitervorrichtung insbesondere dadurch, daß der zweite Kontakt 14 (der Emittterkontakt in dieser Ausführungsform) nicht durch eine gefüllte Kontaktloch 32 mit einem Leiter der ersten Metall-

ebene 34 verbunden ist, sondern vorzugsweise über den sogenannten VIA-1-Verbindungskontakt unmittelbar mit der zweiten Metallisierungsebene 40. Zwischen der Kontaktfläche des zweiten Kontakts 14 und dem Leiter der zweiten Metallisierungsebene 40, welcher in Substratnormalenrichtung über dem Kontakt 14 angeordnet ist, ist kein Leiter der ersten Metallebene 34 angeordnet.

[0068] Da der sogenannte VIA-1-Verbindungskontakt, welcher standardmäßig Leiter der ersten mit der zweiten Metallebene verbindet, ohnehin gemäß einem Standardprozeß ausgebildet werden muß, führt die Kontaktierung des zweiten Kontakts 14 über die zweite Metallebene 40 nicht zu zusätzlichen Prozessschritten. Die VIA-1-Ätzung über dem Kontakt 14 wird demgemäß nicht durch einen Leiter der ersten Metallebene gestoppt, sondern endet auf dem Polysilizium des Emittterkontakts 14. Der Durchbruch durch die Liner, die als Ätzstopp dienen können, in die erste Metallebene 34 bzw. in das Polysilizium des Emittterkontakts 14 erfolgen somit gleichzeitig und kontrolliert.

[0069] In Fig. 15 ist eine Halbleitervorrichtung gemäß dem zweiten Aspekt der Erfindung nach Abschluß der erfindungsgemäßen Herstellungsverfahrensschritte dargestellt. Die Halbleitervorrichtung weist ein Substrat 80, bei dem es sich um ein Siliziumhalbleitersubstrat handeln kann, mit einer Prozeßoberfläche 80' auf. Die aktiven Bauelemente, welche in dem FEOL-Prozeßschritten strukturiert wurden, können beispielsweise denjenigen der zuvor beschriebenen bevorzugten Ausführungsform der Halbleitervorrichtung gemäß dem ersten Aspekt der Erfindung entsprechen.

[0070] In der in Fig. 15 dargestellten bevorzugten Ausführungsform ist ein Bipolartransistor 100 mit einem Basiskontakt 120 (erster Kontakt), einem den zweiten (höherliegenden) Kontakt darstellenden Emittterkontakt 140 sowie einem Kollektorkontakt 160 (erster Kontakt). Der Bipolartransistor 100 kann beispielsweise ein Teil eines Hochfrequenzschaltkreises der Halbleitervorrichtung sein. Ferner weist die in Fig. 15 dargestellte Ausführungsform der Halbleitervorrichtung eine CMOS-Schaltung auf, welche durch einen MOS-Transistor 200 vereinfacht dargestellt ist. Der MOS-Transistor 200 umfaßt einen Source-Kontakt 220, einen aus Polysilizium bestehenden Gate-Kontakt 240 sowie einen Drainkontakt 260. Die Kontakte 220, 240 sowie 260 sind erste Kontakte im Sinne der Erfindung.

[0071] Die bereits in Zusammenhang mit Fig. 1 beschrieben worden ist, wird nach dem Prozeßende FEOL die Halbleitervorrichtung mit einem Isolator 300, bei welchem es sich beispielsweise um BPSG (Bor-Phosphor-Silikat-Glas) handelt, beispielsweise mittels eines CVD-Abscheideverfahrens bedeckt.

[0072] Im Unterschied zu dem Herstellungsverfahren gemäß dem ersten Aspekt der Erfindung und bekannten Herstellungsverfahren wird jedoch der nachfolgende planare Polierschritt (Schritt: CMP BPSG) derart ausgeführt, daß bis auf den zweiten Kontakt (d. h. den Emittterkontakt 140) zurückpoliert wird. Der CMP-Prozeßschritt wird somit auf dem Emittterkontakt 140 gestoppt. Hierzu kann in bekannter Weise ein Endpunkterkennungssystem Verwendung finden, welches den Zeitpunkt anzeigt, bei dem der Polierschritt auf dem zweiten Kontakt 140 angelangt ist. Auch können zusätzliche Hilfsstrukturen vorgesehen sein, welche als Polierstopp fungieren.

[0073] Wie bereits detailliert anhand von Figs. 3 bis 5 beschrieben worden ist, erfolgt anschließend die Strukturierung von Kontaktlöchern 320 in dem Isolator 300 mittels eines Lithographie- und eines Ätzschritts (Schritt: CT Etch). Jedoch wird über dem Emittterkontakt 140 im Unterschied zu einer herkömmlichen Halbleitervorrichtung gemäß Fig. 16 kein Kontaktloch 320 strukturiert. Die Kontaktlöcher

320 können in üblicher Weise mit einem Liner (beispielsweise aus TiN) ausgekleidet und mit einem geeigneten KontaktloCHFüllmaterial, beispielsweise Wolfram, gefüllt werden. Die beispielsweise mit einem MCVD-Verfahren aufgebraute Metallschicht wird in einem nachfolgenden planaren Polierschritt (CMP W) auf eine derartige Zielhöhe zurückpoliert, daß die Kontaktfläche des Emittterkontakts 140 (des zweiten Kontakts) freigelegt wird. Somit kann der Polierschritt des KontaktloCHFüllmaterials der Kontaktlöcher 320 ebenfalls zur Öffnung (sowie Beseitigung von Linerresten) der Kontaktfläche des zweiten Kontakts 140 benutzt werden.

[0074] Anschließend erfolgt die Definition der (ersten) strukturierten Metallebene 340, deren Prozessschritte sich von einem herkömmlichen Standardverfahren zur Definition derartiger Metallebenen nicht unterscheidet. Zu bemerken ist, daß ein Leiter der Metallebene 340, welcher in Substratnormalenrichtung über dem zweiten Kontakt 140 angeordnet ist, an diesen unmittelbar angrenzt, so daß eine elektrisch leitfähige Verbindung zwischen dem zweiten Kontakt 140 (dem Emittterkontakt) und dem entsprechenden (zweiten) Leiter der Metallebene 340 erstellt wird. In anderen Worten ist der zweite Kontakt 140 im Unterschied zu den übrigen Kontakten der Halbleitervorrichtung mit dem zugeordneten zweiten Leiter der Metallebene 340 nicht durch einen KontaktloChzapfen 320 verbunden. Stattdessen erfolgt die Kontaktierung des zweiten Kontakts 140 unmittelbar durch den daran angrenzenden Leiter der ersten Metallebene 340. Zwischen dem zweiten Kontakt und dem zweiten Leiter der Metallebene 340 kann, beispielsweise zur Senkung des Kontaktwiderstands, eine dünne, insbesondere metallische Zwischenschicht vorhanden sein.

[0075] Vorteilhaft an diesem Herstellungsverfahren bzw. an der somit erhaltenen Halbleitervorrichtung ist, daß die Höhe des zweiten Kontakts 140 in Substratnormalenrichtung frei gewählt bzw. den Prozeßanforderungen eines optimierten Bipolartransistors angepaßt werden kann. Die Dickenmessung über STI entfällt. Gleichzeitig reduziert sich die Unsicherheit in der Messung der Schichtdicke des Isolators 300 (der. BPSG-Schicht) nach dem Polierschritt (CMP BPSG (welche ± 150 nm beträgt) und das Risiko des Überpolierens wird minimiert bzw. ausgeschlossen. Das Kontaktieren des zweiten Kontakts mittels eines mit KontaktloCHFüllmaterial (beispielsweise Wolfram) gefüllten Kontaktlochs 320 entfällt. Die erste Metallebene 340 kann direkt (ohne KontaktloChzapfen 320) mit dem Emittterkontakt 140 verbunden werden.

[0076] Die Beschränkung der Kontaktfläche, d. h. der Durchmesser der Kontaktlöcher 320, entfällt, da die gesamte effektive Fläche des zweiten Kontakts 140 zur Kontaktierung genutzt werden kann. Somit können größere Stromstärken in dem Bipolartransistor 100 realisiert bzw. der Fläche des Emittterkontakts 140 optimal angepaßt werden.

Bezugszeichenliste

für die bevorzugte Ausführungsform gemäß dem ersten Aspekt der Erfindung und dem Stand der Technik:

- 8 Substrat (z. B. Siliziumhalbleitersubstrat)
- 8' Prozeßoberfläche des Substrats 8
- 10 Bipolartransistor
- 12 Basiskontakt des Bipolartransistors
- 14 Emittterkontakt (Emittterstack) des Bipolartransistors
- 16 Kollektorkontakt des Bipolartransistors
- 20 MOS-Transistor
- 22 Drain-Kontakt des MOS-Transistors
- 24 Gate-Kontakt des MOS-Transistors

26 Source-Kontakt des MOS-Transistors

30 Isolator (z. B. BPSG)

32 Kontaktloch (CT) gefüllt mit KontaktloCHFüllmaterial (z. B. W)

34 strukturierte erste Metallebene mit Leitern

36 Dielektrikum (Isolator) ILD (z. B. TEOS)

38 Kontaktloch (VIA-1) gefüllt mit KontaktloCHFüllmaterial

40 strukturierte zweite Metallebene mit Leitern für die bevorzugte Ausführungsform gemäß dem zweiten Aspekt der Erfindung:

80 Substrat (z. B. Siliziumhalbleitersubstrat)

80' Prozeßoberfläche des Substrats 80

100 Bipolartransistor

120 Basiskontakt des Bipolartransistors

140 Emittterkontakt (Emittterstack) des Bipolartransistors

160 Kollektorkontakt des Bipolartransistors

200 MOS-Transistor

220 Drain-Kontakt des MOS-Transistors

240 Gate-Kontakt des MOS-Transistors

260 Source-Kontakt des MOS-Transistors

300 Isolator (z. B. BPSG)

320 Kontaktloch (CT) gefüllt mit KontaktloCHFüllmaterial (z. B. W)

340 strukturierte erste Metallebene mit Leitern

Patentansprüche

1. Halbleitervorrichtung mit

einem Substrat (8), dessen Prozeßoberfläche (8') eine Substratnormalenrichtung aufweist;

zumindest einem ersten (12, 16, 22, 24, 26) und einem zweiten (14) auf dem Substrat angeordneten Kontakt, wobei eine Kontaktfläche des zweiten Kontakts (14) in Substratnormalenrichtung weiter von dem Substrat (8) als eine Kontaktfläche des ersten Kontakts (12, 16, 22, 24, 26) beabstandet ist; und

zumindest einer ersten (34) und einer zweiten (40) strukturierten Metallebene, in welchen jeweils zumindest ein Leiter ausgebildet ist, der mit zumindest einem der Kontakte verbindbar ist;

wobei die zweite Metallebene (40) in Substratnormalenrichtung weiter von dem Substrat (8) als die erste Metallebene (34) beabstandet ist,

der zweite Kontakt (14) mit einem in Substratnormalenrichtung darüberliegenden Leiter der zweiten Metallebene (40) ohne Zwischenschaltung eines Leiters der ersten Metallebene (34) elektrisch verbunden ist und

der erste Kontakt (12, 16, 22, 24, 26) mit einem in Substratnormalenrichtung darüberliegenden Leiter der ersten Metallebene (34) elektrisch verbunden ist.

2. Halbleitervorrichtung nach Anspruch 1, wobei der zweite Kontakt (14) ein Emittterkontakt eines Bipolartransistors (10) und der erste Kontakt ein Basis- (12) oder Kollektorkontakt (16) eines Bipolartransistors oder ein Source- (22), Gate- (24) oder Drainkontakt (26) eines MOS-Transistors (20) ist.

3. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei der erste Kontakt (12, 16, 22, 24, 26) mit dem Leiter der ersten Metallebene (34) über ein sich in Substratnormalenrichtung erstreckendes und mit einem elektrisch leitfähigen KontaktloCHFüllmaterial gefülltes Kontaktloch (32) verbunden ist.

4. Halbleitervorrichtung nach einem der vorangegangenen Ansprüche, wobei der zweite Kontakt (14) mit dem Leiter der zweiten Metallebene (40) über ein sich in Substratnormalenrichtung erstreckendes und mit einem elektrisch leitfähigen KontaktloCHFüllmaterial ge-

fülltes Kontaktloch (38) ohne Zwischenschaltung eines Leiters der ersten Metallebene (34) verbunden ist.
5. Verfahren zur Herstellung einer Halbleitervorrichtung mit den Schritten:

- Bereitstellen eines Substrats (8), dessen Prozeßoberfläche (8') eine Substratnormalenrichtung aufweist;
- Definieren zumindest eines ersten (12, 16, 22, 24, 26) und eines zweiten (14) Kontakts auf dem Substrat (8), wobei eine Kontaktfläche des zweiten Kontakts (14) in Substratnormalenrichtung weiter von dem Substrat (8) als eine Kontaktfläche des ersten Kontakts (12, 16, 22, 24, 26) beabstandet ist;
- elektrisches Verbinden des ersten Kontakts (12, 16, 22, 24, 26) mit einem in Substratnormalenrichtung darüberliegenden Leiter einer ersten strukturierten Metallebene (34); und
- elektrisches Verbinden des zweiten Kontakts (14) mit einem in Substratnormalenrichtung darüberliegenden Leiter einer zweiten strukturierten Metallebene (40) ohne Zwischenschaltung eines Leiters der ersten Metallebene (34);

wobei die zweite Metallebene (40) in Substratnormalenrichtung weiter von dem Substrat (8) als die erste Metallebene (34) beabstandet ist.

6. Verfahren nach Anspruch 5, wobei der zweite Kontakt (14) ein Emittterkontakt eines Bipolartransistors (100) und der erste Kontakt ein Basis- (120) oder Kollektorkontakt (160) eines Bipolartransistors oder ein Source- (220), Gate- (240) oder Drainkontakt (260) eines MOS-Transistors (200) ist.

7. Verfahren nach Anspruch 5 oder 6, wobei der Schritt des elektrischen Verbindens des ersten Kontakts (12, 16, 22, 24, 26) folgende Schritte umfaßt:

- Definieren eines auf dem ersten Kontakt (12, 16, 22, 24, 26) endenden, sich in Substratnormalenrichtung erstreckenden Kontaktlochs (32) in einem Isolator (30);
- Füllen des Kontaktlochs (32) mit einem elektrisch leitfähigen Kontaktlochfüllmaterial; und
- Definieren des in Substratnormalenrichtung über dem ersten Kontakt (12, 16, 22, 24, 26) liegenden Leiters der ersten Metallebene (34) derart, daß dieser mit dem Kontaktlochfüllmaterial elektrisch verbunden ist.

8. Verfahren nach einem der Ansprüche 5 bis 7, wobei der Schritt des elektrischen Verbindens des zweiten Kontakts (14) folgende Schritte umfaßt:

- Definieren eines auf dem zweiten Kontakt (14) endenden, sich in Substratnormalenrichtung erstreckenden Kontaktlochs (38) in einem Isolator (36);
- Füllen des Kontaktlochs (38) mit einem elektrisch leitfähigen Kontaktlochfüllmaterial; und
- Definieren des in Substratnormalenrichtung über dem zweiten Kontakt (14) liegenden Leiters der zweiten Metallebene (40) derart, daß dieser mit dem Kontaktlochfüllmaterial ohne Zwischenschaltung eines Leiters der ersten Metallebene (34) elektrisch verbunden ist.

9. Verfahren nach einem der Ansprüche 5 bis 8, wobei gleichzeitig mit dem Schritt des elektrischen Verbindens des zweiten Kontakts (14) mit dem Leiter der zweiten Metallebene (40) zumindest ein Leiter der ersten Metallebene (34) mit einem Leiter der zweiten Metallebene (40) verbunden wird.

10. Halbleitervorrichtung mit

einem Substrat (80), dessen Prozeßoberfläche (80') eine Substratnormalenrichtung aufweist; zumindest einem ersten (120, 160, 220, 240, 260) und einem zweiten (140) auf dem Substrat (80) angeordneten Kontakt, wobei eine Kontaktfläche des zweiten Kontakts (140) in Substratnormalenrichtung weiter von dem Substrat (80) als eine Kontaktfläche des ersten Kontakts (120, 160, 220, 240, 260) beabstandet ist; und zumindest einer strukturierten Metallebene (340), in welcher zumindest ein erster und ein zweiter Leiter ausgebildet ist, die jeweils mit einem der Kontakte (120, 140, 160, 220, 240, 260) verbindbar sind; wobei der erste Kontakt (120, 160, 220, 240, 260) mit dem in Substratnormalenrichtung darüberliegenden ersten Leiter der Metallebene (340) über ein sich in Substratnormalenrichtung erstreckendes und mit einem elektrisch leitfähigen Kontaktlochfüllmaterial gefülltes Kontaktloch (320) elektrisch verbunden ist und der zweite Kontakt (140) unmittelbar an den in Substratnormalenrichtung darüberliegenden zweiten Leiter der Metallebene (340) angrenzt, so daß der zweite Kontakt (140) mit dem zweiten Leiter ohne Zwischenschaltung eines gefüllten Kontaktlochs (320) elektrisch verbunden ist.

11. Halbleitervorrichtung nach Anspruch 1, wobei der zweite Kontakt (140) ein Emittterkontakt eines Bipolartransistors (100) und der erste Kontakt ein Basis- (120) oder Kollektorkontakt (160) eines Bipolartransistors (100) oder ein Source- (220), Gate- (240) oder Drainkontakt (260) eines MOS-Transistors (200) ist.

12. Verfahren zur Herstellung einer Halbleitervorrichtung mit den Schritten:

- Bereitstellen eines Substrats (80), dessen Prozeßoberfläche (80') eine Substratnormalenrichtung aufweist;
- Definieren zumindest eines ersten (120, 160, 220, 240, 260) und eines zweiten (140) Kontakts auf dem Substrat (80), wobei eine Kontaktfläche des zweiten Kontakts (140) in Substratnormalenrichtung weiter von dem Substrat (80) als eine Kontaktfläche des ersten Kontakts (120, 160, 220, 240, 260) beabstandet ist;
- elektrisches Verbinden des ersten Kontakts (120, 160, 220, 240, 260) mit einem in Substratnormalenrichtung darüberliegenden ersten Leiter einer strukturierten Metallebene (340) über ein sich in Substratnormalenrichtung erstreckendes und mit einem elektrisch leitfähigen Kontaktlochfüllmaterial gefülltes Kontaktloch (320); und
- elektrisches Verbinden des zweiten Kontakts (140) mit einem in Substratnormalenrichtung darüberliegenden, an den zweiten Kontakt angrenzenden zweiten Leiter der Metallebene (340) ohne Zwischenschaltung eines gefüllten Kontaktlochs (320).

13. Verfahren nach Anspruch 12, wobei der zweite Kontakt (140) ein Emittterkontakt eines Bipolartransistors (100) und der erste Kontakt ein Basis- (120) oder Kollektorkontakt (160) eines Bipolartransistors (100) oder ein Source- (220), Gate- (240) oder Drainkontakt (260) eines MOS-Transistors (200) ist.

14. Verfahren nach Anspruch 12 oder 13, wobei der Schritt des elektrischen Verbindens des ersten Kontakts (120, 160, 220, 240, 260) folgende Schritte umfaßt:

- Definieren eines auf dem ersten Kontakt (120, 160, 220, 240, 260) endenden, sich in Substratnormalenrichtung erstreckenden Kontaktlochs (320) in einem Isolator (300);

- Füllen des Kontaktlochs (320) mit einem elektrisch leitfähigen Kontaktlochfüllmaterial; und
 - Definieren des in Substratnormalenrichtung über dem ersten Kontakt (120, 160, 220, 240, 260) liegenden ersten Leiters der Metallebene (340) 5
- derart, daß dieser mit dem Kontaktlochfüllmaterial elektrisch verbunden ist.

15. Verfahren nach einem der Ansprüche 12 bis 14, wobei der Schritt des elektrischen Verbindens des zweiten Kontakts (140) folgende Schritte umfaßt: 10

- Definieren einer in Substratnormalenrichtung orientierten, freiliegenden Kontaktfläche des zweiten Kontakts (140) durch einen planaren Polierschritt (CMP BPSG, CMP W); und

Definieren des zweiten Leiters der Metallebene (340) 15
derart, daß dieser an die freiliegende Kontaktfläche des zweiten Kontakts (140) elektrisch leitend angrenzt.

Hierzu 9 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

Fig.1

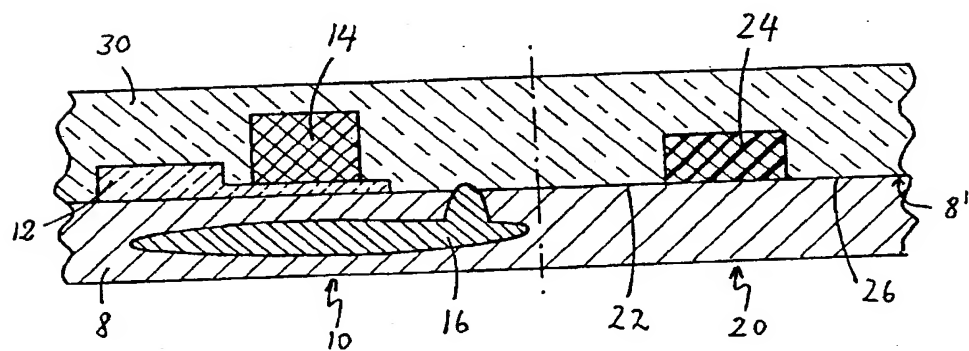
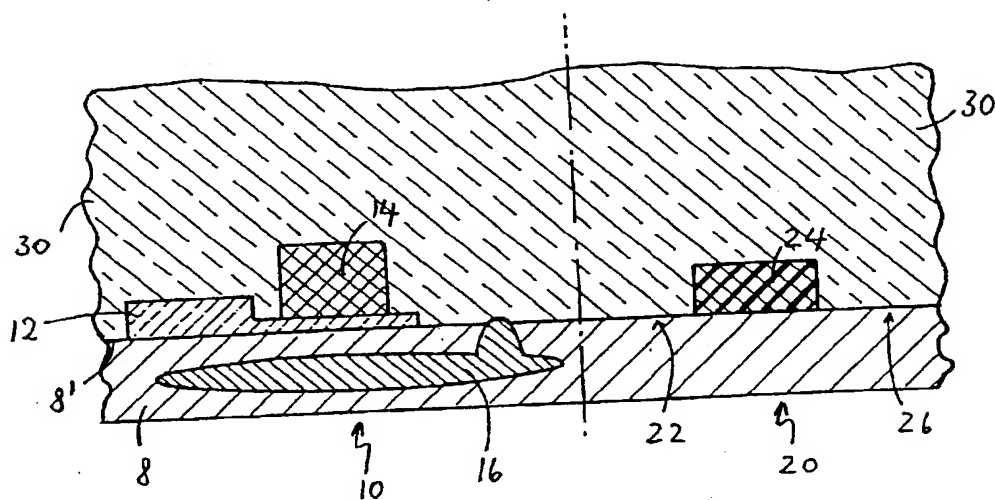


Fig.2

Fig. 3

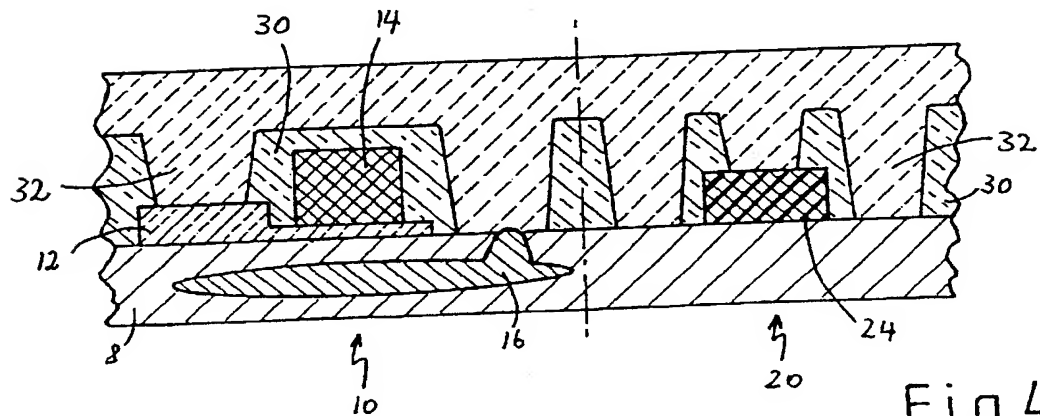
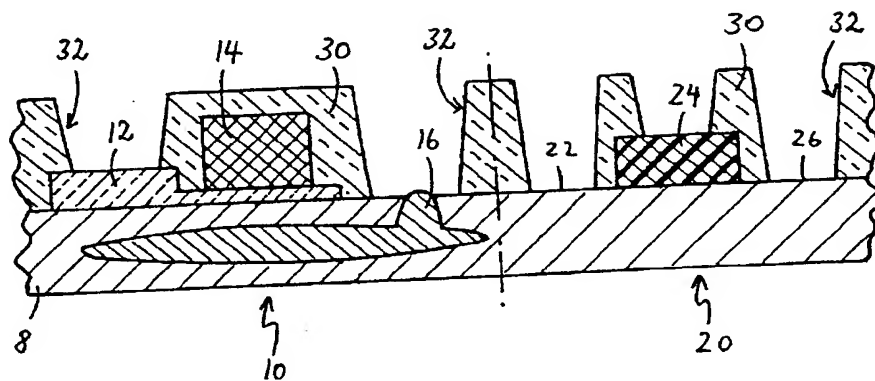


Fig.4

Fig.5

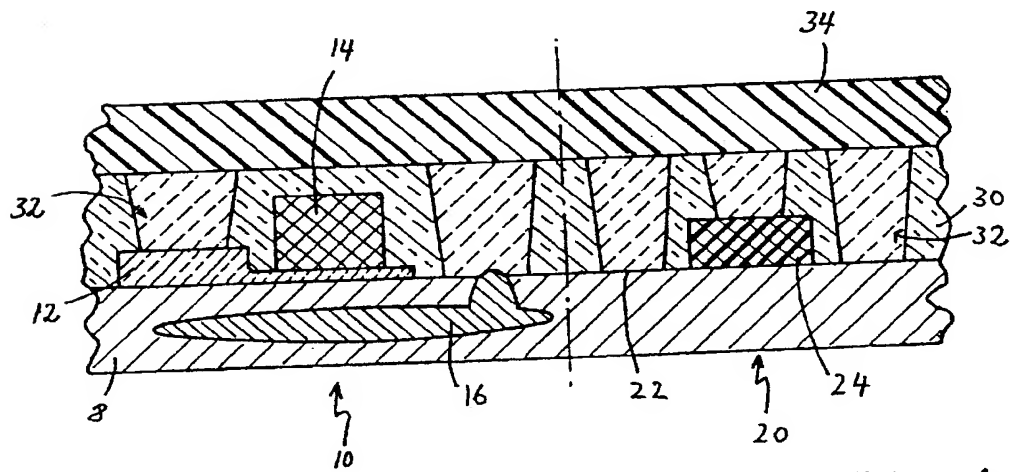
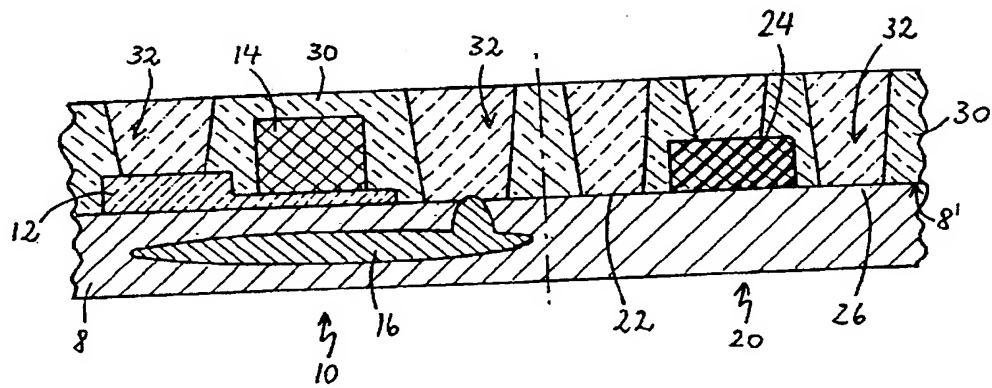


Fig.6

Fig.7

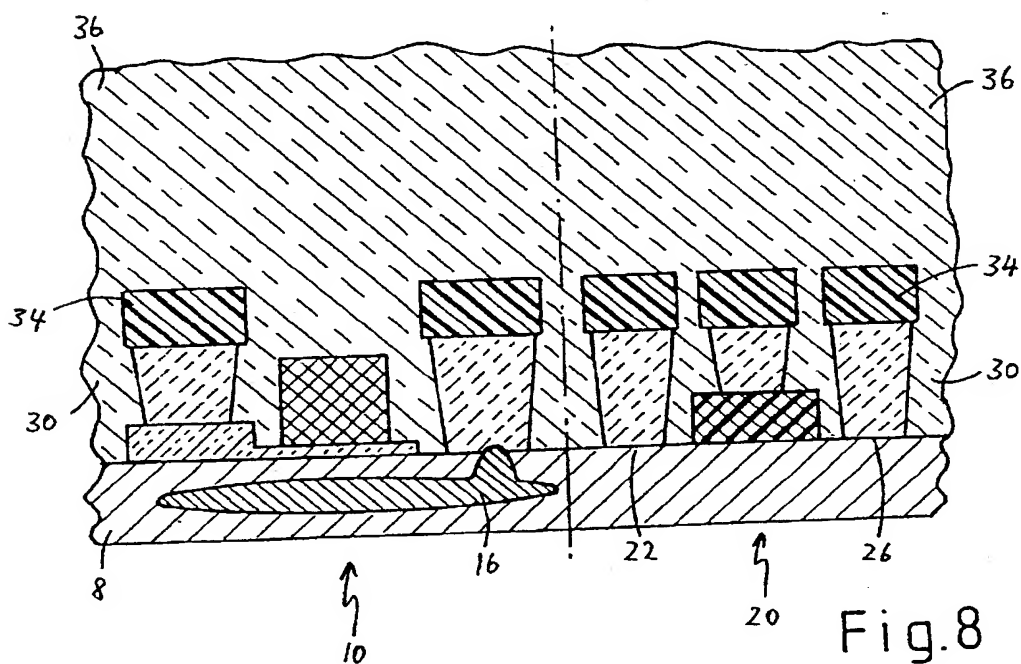
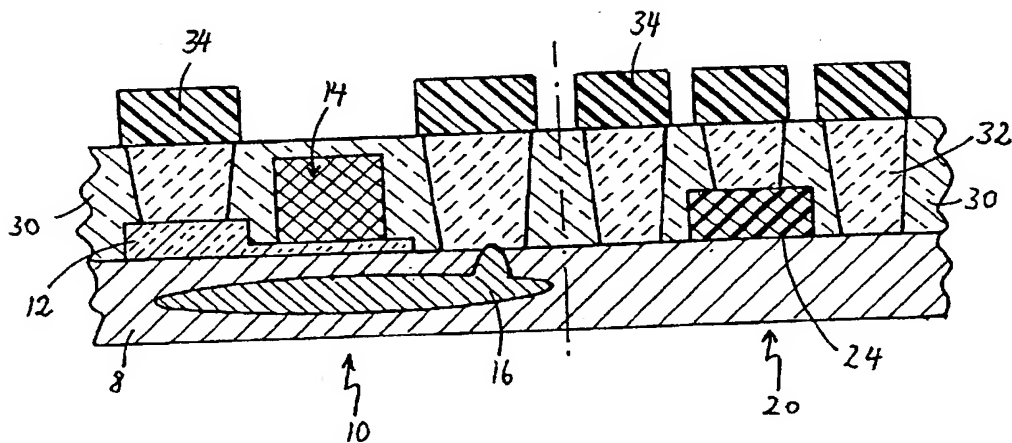


Fig. 8

Fig.9

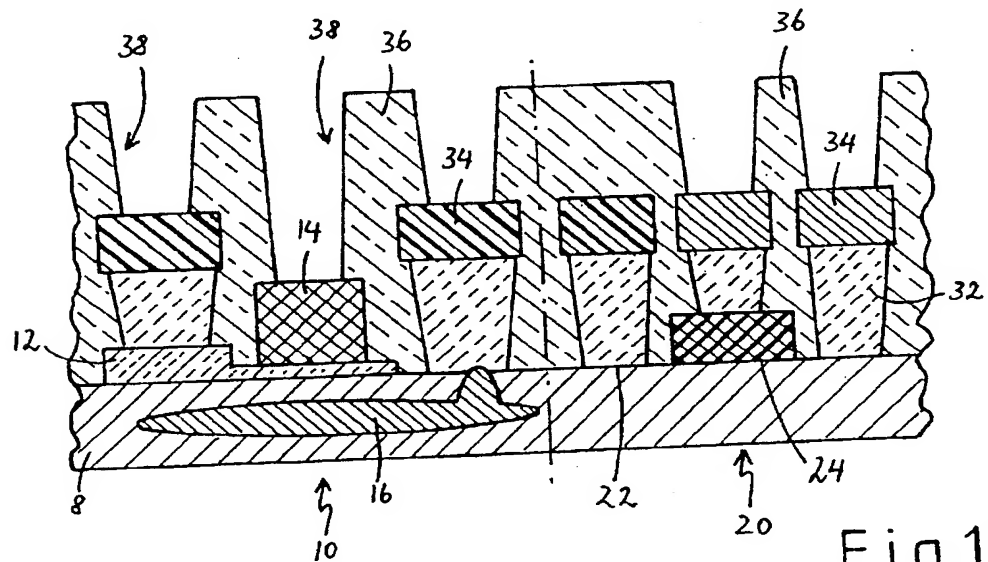
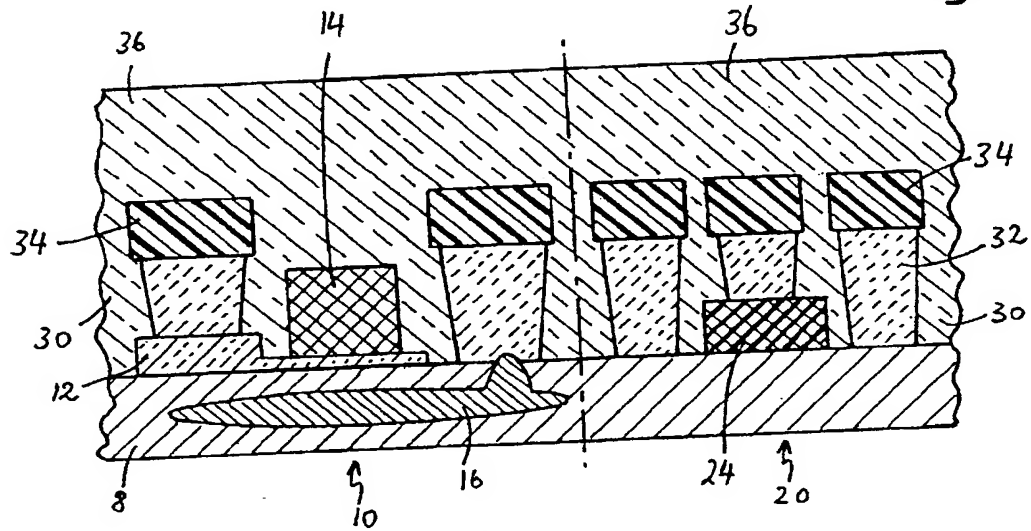


Fig.10

Fig.11

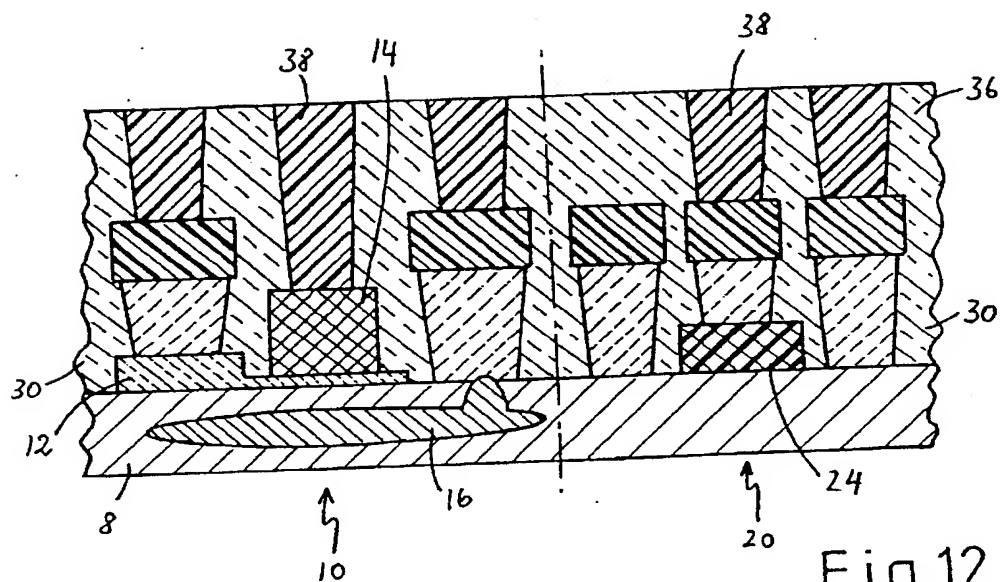
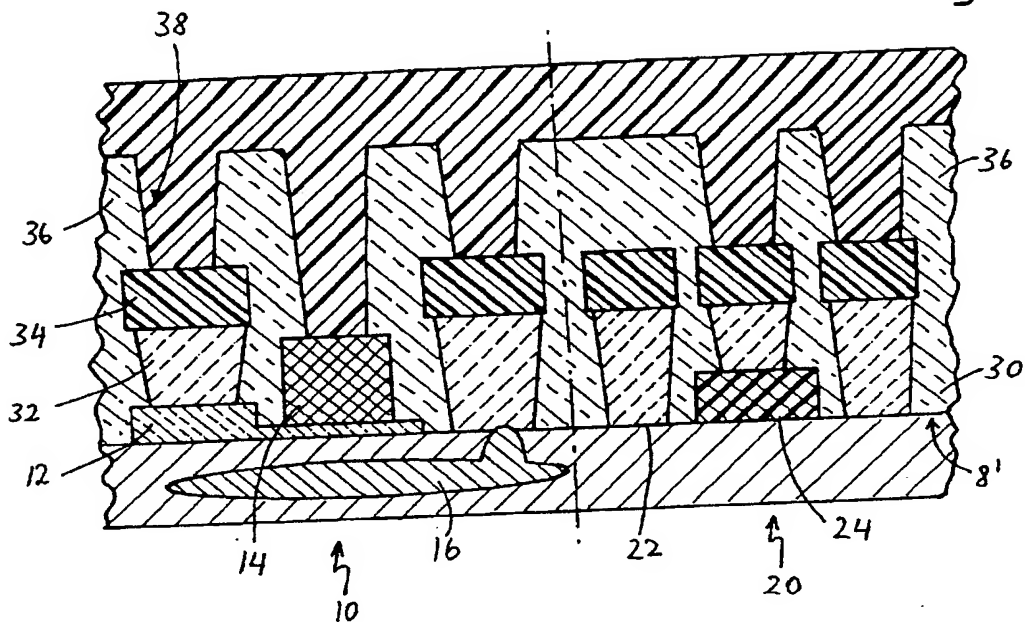


Fig.12

Fig.13

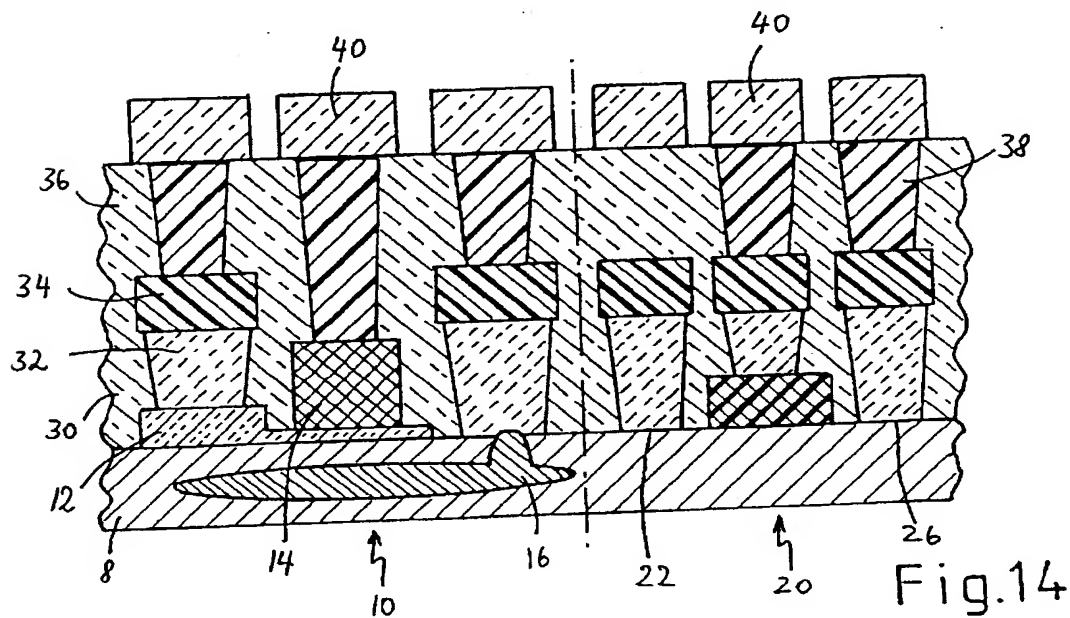
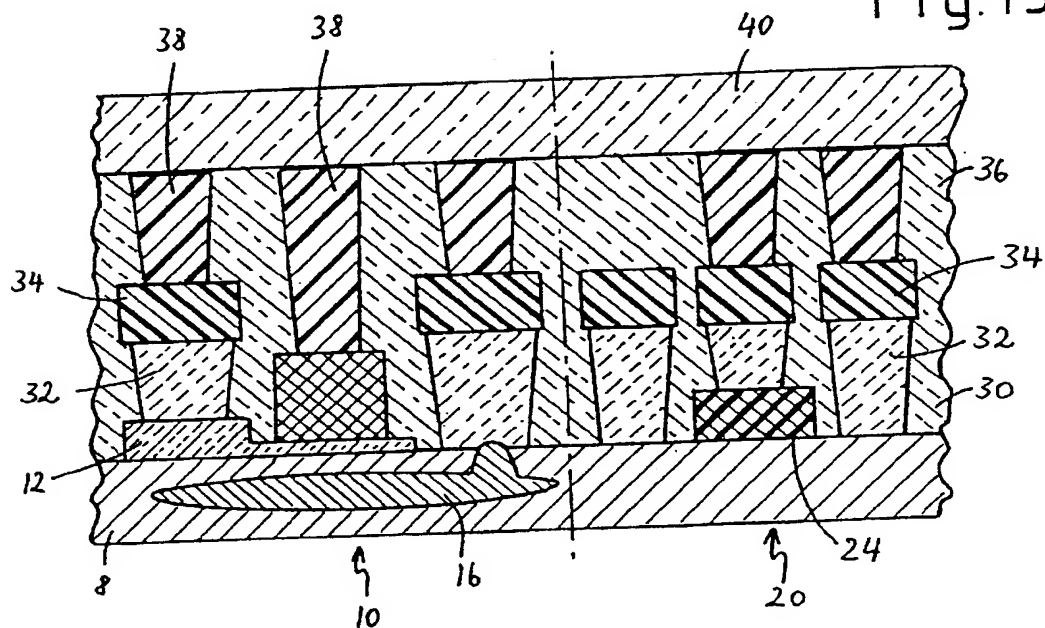


Fig.14

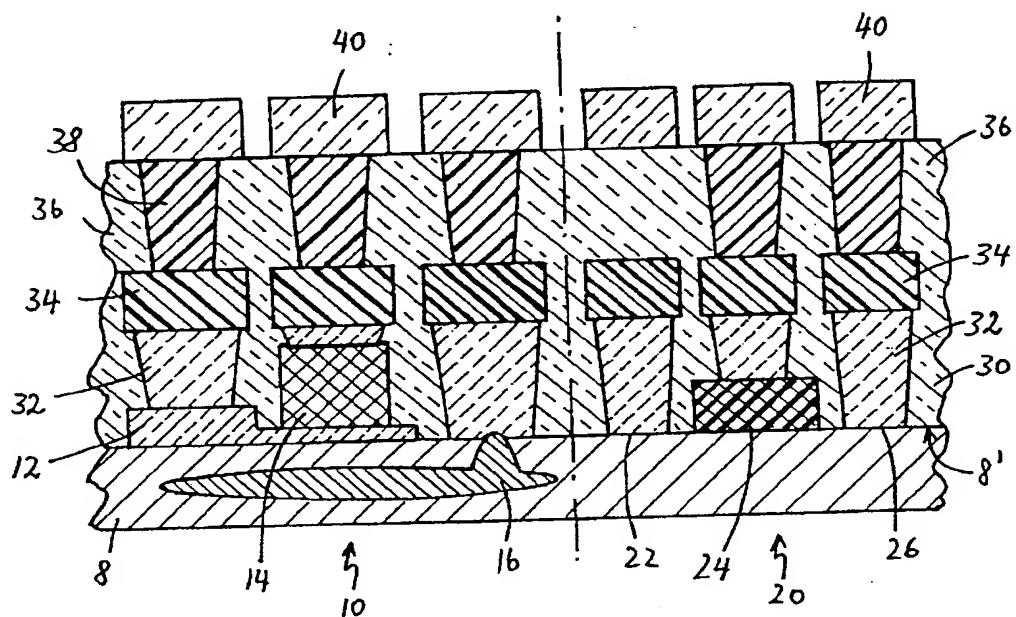


Fig.16